

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-215087

(P2002-215087A)

(43)公開日 平成14年7月31日 (2002.7.31)

(51)Int.Cl.<sup>7</sup>

G 0 9 G 3/28

3/20

識別記号

6 1 2

6 2 1

6 2 2

6 7 0

F I

G 0 9 G 3/20

テ-マコード<sup>\*</sup>(参考)

6 1 2 E 5 C 0 8 0

6 2 1 G

6 2 2 G

6 7 0 E

3/28

H

審査請求 有 請求項の数16 O L (全 19 頁)

(21)出願番号

特願2001-12418(P2001-12418)

(22)出願日

平成13年1月19日 (2001.1.19)

(71)出願人 599132708

富士通日立プラズマディスプレイ株式会社  
神奈川県川崎市高津区坂戸3丁目2番1号

(72)発明者 小野澤 誠

神奈川県川崎市高津区坂戸3丁目2番1号  
富士通日立プラズマディスプレイ株式会社内

(72)発明者 岸 智勝

神奈川県川崎市高津区坂戸3丁目2番1号  
富士通日立プラズマディスプレイ株式会社内

(74)代理人 100090273

弁理士 國分 孝悦

最終頁に続ぐ

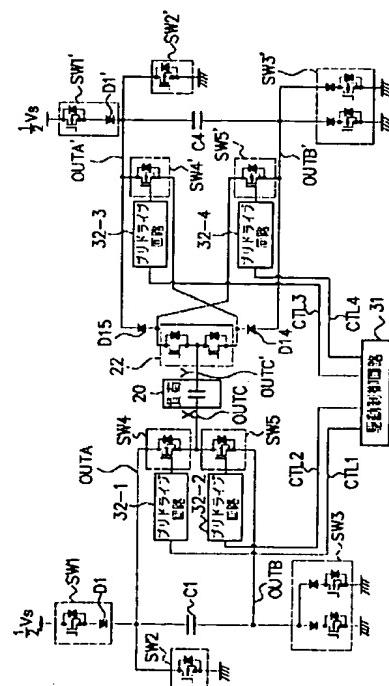
(54)【発明の名称】 プラズマディスプレイ装置およびその制御方法

(57)【要約】

【課題】 信頼性の高いプラズマディスプレイ装置を提供することができるようとする。

【解決手段】 ブリドライブ回路内の信号伝達回路により、駆動制御回路から供給される制御信号の基準電位を出力素子の基準電位に変換し、信号增幅回路にて増幅した後、出力素子に供給するようにして、駆動制御回路および制御信号の基準電位と出力素子の基準電位が異なっていたとしても、基準電位を絶縁して制御信号を出力素子に伝達することができるようにするとともに、出力素子の電圧変動等の影響が駆動制御回路に及ぶことを防止することができるようとする。

第1の実施形態



【特許請求の範囲】

【請求項1】 表示セルに電圧を印加して放電を行うために設けられた電極に対して電圧を供給する出力素子の基準電位と、上記出力素子を制御する駆動制御回路から出力される制御信号の基準電位とが異なるプラズマディスプレイ装置であって、上記制御信号を上記出力素子の基準電位の信号に変換して、上記出力素子に供給する信号伝達回路を備えたことを特徴とするプラズマディスプレイ装置。

【請求項2】 上記信号伝達回路は、光伝達回路であることを特徴とする請求項1に記載のプラズマディスプレイ装置。

【請求項3】 上記光伝達回路は、上記制御信号に応じて明滅する発光素子と、上記発光素子により発光された光を検出する受光素子とを備えることを特徴とする請求項2に記載のプラズマディスプレイ装置。

【請求項4】 上記光伝達回路は、上記受光素子が上記発光素子により発光された光を検出したとき、上記出力素子を作動させることを特徴とする請求項3に記載のプラズマディスプレイ装置。

【請求項5】 上記光伝達回路は、フォトカプラであることを特徴とする請求項2に記載のプラズマディスプレイ装置。

【請求項6】 外部から供給される電源信号を蓄積し、外部からの電源供給が遮断された際には、上記光伝達回路に蓄積した電源信号を供給する電源電圧維持回路をさらに備えることを特徴とする請求項2に記載のプラズマディスプレイ装置。

【請求項7】 上記光伝達回路は、上記制御信号に応じて明滅する発光素子と、上記発光素子により発光された光を検出する受光素子とを備え、上記受光素子が上記発光素子により発光された光を検出したとき、上記出力素子の動作を禁止することを特徴とする請求項6に記載のプラズマディスプレイ装置。

【請求項8】 上記光伝達回路の電源端子に、外部から供給される電源信号を蓄積し、外部からの電源供給が遮断された際には、上記光伝達回路に蓄積した電源信号を供給する電源電圧維持回路を接続したことを特徴とする請求項2に記載のプラズマディスプレイ装置。

【請求項9】 上記出力素子の基準電位の信号に変換され上記出力素子に供給される制御信号の遅延を調整する位相調整回路をさらに備えることを特徴とする請求項1に記載のプラズマディスプレイ装置。

【請求項10】 上記位相調整回路は抵抗とコンデンサとを備え、上記抵抗の抵抗値および上記コンデンサの容量値の少なくとも一方の値を変更することができる時定数調整回路であることを特徴とする請求項9に記載のプラズマディスプレイ装置。

【請求項11】 上記制御信号は、複数の出力素子を制御することができる制御信号であり、上記制御信号を上

記複数の出力素子のそれぞれに対する制御信号に分離する信号変換回路を備えることを特徴とする請求項1に記載のプラズマディスプレイ装置。

【請求項12】 表示セルに電圧を印加して放電を行うために設けられた電極に対して電圧を供給する出力素子の基準電位と、上記出力素子を制御する駆動制御回路から出力される制御信号の基準電位とが異なるプラズマディスプレイ装置であって、

上記電極を介して表示セルとの間で電荷の授受を行う電力回收回路と、

上記電力回收回路の電力回収電圧を検出する電圧検出回路を備え、

上記電圧検出回路により検出された電力回収電圧が、上記電力回收回路が正常に動作しているときの電力回収電圧と異なる場合には、プラズマディスプレイ装置を駆動させるための電源電圧を下げるようとしたことを特徴とするプラズマディスプレイ装置。

【請求項13】 上記電力回收回路は、上記電荷を蓄積するためのコンデンサを備え、

上記電圧検出回路は、上記コンデンサの電極間の電位差を上記電力回収電圧として検出することを特徴とする請求項12に記載のプラズマディスプレイ装置。

【請求項14】 表示セルに電圧を印加して放電を行うために設けられた電極に対して電圧を供給する出力素子の基準電位と、上記出力素子を制御する駆動制御回路から出力される制御信号の基準電位とが異なるプラズマディスプレイ装置の制御方法であって、

上記制御信号を上記出力素子の基準電位の信号に変換し、上記出力素子に供給することを特徴とするプラズマディスプレイ装置の制御方法。

【請求項15】 上記プラズマディスプレイ装置は、上記制御信号に応じて明滅する発光素子と、上記発光素子により発光された光を検出する受光素子とを備え、上記受光素子が上記発光素子により発光された光を検出したとき、上記出力素子を作動させることを特徴とする請求項14に記載のプラズマディスプレイ装置の制御方法。

【請求項16】 表示セルに電圧を印加して放電を行うために設けられた電極に対して電圧を供給する出力素子の基準電位と、上記出力素子を制御する駆動制御回路から出力される制御信号の基準電位とが異なるプラズマディスプレイ装置の制御方法であって、

上記電極を介して表示セルとの間で電荷の授受を行う電力回收回路の電力回収電圧を検出し、

検出した電力回収電圧が、上記電力回收回路が正常に動作しているときの電力回収電圧と異なる場合には、プラズマディスプレイ装置を駆動させるための電源電圧を下げるようとしたことを特徴とするプラズマディスプレイ装置の制御方法。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイ装置およびその制御方法に関し、特に、表示部を構成する各セルを駆動する駆動回路と上記駆動回路を制御する駆動制御回路との基準電位が異なる交流駆動型プラズマディスプレイ装置に用いて好適なものである。

## 【0002】

【従来の技術】従来から平面表示装置の1つである交流駆動型プラズマディスプレイパネル(Plasma Display Panel: PDP)には、2本の電極で選択放電(アドレス放電)および維持放電を行う2電極型と、第3の電極を利用してアドレス放電を行う3電極型とがあった。また、上記3電極型においては、維持放電を行う第1の電極と第2の電極とが配置されている基板に第3の電極を形成する場合と、対向するもう1つの基板に当該第3の電極を形成する場合とがあった。

【0003】上記した各タイプのPDP装置は、何れも動作原理は同一であるので、以下では、維持放電を行う第1および第2の電極を第1の基板に設けるとともに、これとは別に、当該第1の基板と対向する第2の基板に第3の電極を設けたPDP装置についてその構成例を説明する。

【0004】図17は、交流駆動型PDP装置の全体構成を示す図である。図17において、交流駆動型PDP装置1は、各セルが表示画像の1画素であるマトリックス状に配置された複数のセルを備えており、図17においてはm行n列のマトリックスに配置されたセルC<sub>m n</sub>からなる交流駆動型PDP装置を示している。また、交流駆動型PDP1には、第1の基板に互いに平行な走査電極Y<sub>1</sub>～Y<sub>n</sub>および共通電極Xが設けられるとともに、上記第1の基板に対向する第2の基板にこれらの電極Y<sub>1</sub>～Y<sub>n</sub>、Xと直交する方向にアドレス電極A<sub>1</sub>～A<sub>m</sub>が設けられている。共通電極Xは、各走査電極Y<sub>1</sub>～Y<sub>n</sub>に対応してこれに接近して設けられ、一端が互いに共通に接続されている。

【0005】上記共通電極Xの共通端はX側回路2の出力端に接続され、各走査電極Y<sub>1</sub>～Y<sub>n</sub>はY側回路3の出力端に接続されている。また、アドレス電極A<sub>1</sub>～A<sub>m</sub>はアドレス側回路4の出力端に接続されている。X側回路2は放電を繰り返す回路から成り、Y側回路3は線順次走査する回路と放電を繰り返す回路とから成る。また、アドレス側回路4は、表示すべき列を選択する回路から成る。

【0006】これらのX側回路2、Y側回路3およびアドレス側回路4は、駆動制御回路5から供給される制御信号により制御される。すなわち、アドレス側回路4とY側回路3内の線順次走査する回路によりどこのセルを点灯させるかを決め、X側回路2およびY側回路3の放電を繰り返すことによって、PDPの表示動作を行う。

【0007】制御回路5は、外部からの表示データD、

表示データDの読み込みタイミングを示すクロックCLK、水平同期信号HSおよび垂直同期信号VSに基づいて上記制御信号を生成し、X側回路2、Y側回路3およびアドレス側回路4に供給する。

【0008】図18(a)は、1画素である第i行第j列のセルC<sub>ij</sub>の断面構成を示す図である。図18(a)において、共通電極Xおよび走査電極Y<sub>i</sub>は、前面ガラス基板11上に形成されている。その上には、放電空間17に対し絶縁するための誘電体層12が被着されるとともに、更にその上にMgO(酸化マグネシウム)保護膜13が被着されている。

【0009】一方、アドレス電極A<sub>j</sub>は、前面ガラス基板11と対向して配置された背面ガラス基板14上に形成され、その上には誘電体層15が被着され、更にその上に蛍光体18が被着されている。MgO保護膜13と誘電体層15との間の放電空間17には、Ne+Xeペニングガス等が封入されている。

【0010】図18(b)は、交流駆動型PDPの容量C<sub>p</sub>について説明するための図である。図18(b)に示すように、交流駆動型PDPには、放電空間17、共通電極Xと走査電極Yとの間、および前面ガラス基板11にそれぞれ容量成分C<sub>a</sub>、C<sub>b</sub>、C<sub>c</sub>が存在し、これらの合計によってセル1つ当たりの容量C<sub>p cell</sub>が決まる(C<sub>p cell</sub>=C<sub>a</sub>+C<sub>b</sub>+C<sub>c</sub>)。全てのセルの容量C<sub>p cell</sub>の合計がパネル容量C<sub>p</sub>である。

【0011】また、図18(c)は、交流駆動型PDPの発光について説明するための図である。図18(c)に示すように、リブ16の内面には、赤、青、緑色の蛍光体18がストライプ状に各色毎に配列、塗付されており、共通電極Xおよび走査電極Yの間の放電によって蛍光体18を励起して発光するようになっている。

【0012】また、交流駆動型PDPの駆動方法の1つとして、図19に示すような駆動装置を用い、一方の電極には正の電圧を印加し、他方の電極には負の電圧を印加することにより、電極間の電位差を利用して電極間の放電を行う駆動方法が提案されている。

【0013】図19は、交流駆動型PDPの駆動装置の回路構成例を示す図である。図19において、容量負荷20(以下、「負荷」と称す。)は、1つの共通電極Xと1つの走査電極Yとの間に形成されているセルの合計の容量である。負荷20には、共通電極Xおよび走査電極Yが形成されている。ここで、走査電極Yとは、上記走査電極Y<sub>1</sub>～Y<sub>n</sub>の中の任意の走査電極である。

【0014】まず、共通電極X側では、スイッチSW1、SW2は、図示しない電源から供給される電圧(V<sub>s</sub>/2)の電源ラインとグランド(GND)との間に直列に接続される。上記2つのスイッチSW1、SW2の相互接続点にはコンデンサC1の一方の端子が接続され、このコンデンサC1の他方の端子とGNDとの間にスイッチSW3が接続される。

【0015】また、スイッチSW4、SW5は、上記コンデンサC1の両端に直列に接続される。そして、これら2つのスイッチSW4、SW5の相互接続点は出力ラインOUTCを介して中間から負荷20の共通電極Xに接続されるとともに、電力回收回路21に接続されている。さらに、第2の信号ラインOUTBと、書き込み電圧Vwを発生する電源ラインとの間には、抵抗R1を含むスイッチSW6が接続される。

【0016】電力回收回路21は、負荷20に接続された2つのコイルL1、L2と、一方のコイルL1に直列に接続されるダイオードD2およびトランジスタTr1と、もう一方のコイルL2に直列に接続されるダイオードD3およびトランジスタTr2とを備える。さらに、電力回收回路21は上記2つのトランジスタTr1、Tr2の相互接続点と第2の信号ラインOUTBとの間に接続されるコンデンサC2を備える。

【0017】そして、上記容量負荷20とそれに接続されるそれぞれのコイルL1、L2により、2系統の直列共振回路が構成される。すなわち、この電力回收回路21は、2系統のL-C共振回路を持つものであり、コイルL1と負荷20との共振によってパネルに供給した電荷を、コイルL2と負荷20との共振によって回収するものである。

【0018】一方、走査電極Y側では、スイッチSW1'、SW2'は、図示しない電源から供給される電圧(Vs/2)の電源ラインとGNDとの間に直列に接続される。これら2つのスイッチSW1'、SW2'の相互接続点にはコンデンサC4の一方の端子が接続され、このコンデンサC4の他方の端子とGNDとの間には、スイッチSW3'が接続される。

【0019】また、コンデンサC4の上記一方の端子に接続されたスイッチSW4'は、ダイオードD7のカソードと接続され、ダイオードD7のアノードとコンデンサC4の上記他方の端子が接続される。コンデンサC4の上記他方の端子に接続されたスイッチSW5'は、ダイオードD6のアノードと接続され、ダイオードD6のカソードとコンデンサC4の上記一方の端子が接続される。

【0020】そして、ダイオードD7のカソードと接続されるスイッチSW4'、ダイオードD6のアノードと接続されるスイッチSW5'のそれぞれの一端からスキャンドライバ22を介して負荷20が接続されるとともに、電力回收回路21'が接続されている。さらに、第4の信号ラインOUTB'、書き込み電圧Vwを発生する電源ラインとの間には、抵抗R1'を含むスイッチSW6'が接続される。

【0021】電力回收回路21'は、負荷20から上記スキャンドライバ22を介して接続される2つのコイルL3、L4と、一方のコイルL3に直列に接続されるダイオードD4およびトランジスタTr3と、もう一方の

コイルL4に直列に接続されるダイオードD5およびトランジスタTr4とを備える。さらに、電力回收回路21'は上記2つのトランジスタTr3、Tr4の共通端子と第4の信号ラインOUTB'との間に接続されるコンデンサC3を備える。

【0022】この電力回收回路21'も、2系統のL-C共振回路を持ち、コイルL4と容量負荷20との共振によって負荷20に供給した電荷を、コイルL3と負荷20との共振によって回収するものである。

【0023】さらに、走査電極Y側においては、以上の構成の他に、3つのトランジスタTr5、Tr6、Tr7と、2つのダイオードD6、D7とを更に備えている。トランジスタTr5は、これがONとなることにより、これに接続された抵抗R2の作用によって、走査電極Yに印加するパルス電圧の波形を鈍らせるためのものである。このトランジスタTr5と抵抗R2は、スイッチSW5'と並列に接続されている。

【0024】また、トランジスタTr6、Tr7は、後述するアドレス期間中にスキャンドライバ22の両端に(Vs/2)の電位差を与えるためのものである。すなわち、アドレス期間中に、スイッチSW2'およびトランジスタTr6がONとなることによりスキャンドライバ22の上側の電圧がグランドレベルになる。さらに、トランジスタTr7がONとなることにより、コンデンサC4に蓄積されていた電荷に応じて第4の信号ラインOUTB'に出力された負の電圧(-Vs/2)がスキャンドライバ22の下側に印加される。これにより、スキャンパルス出力時には、スキャンドライバ22により走査電極Yに負の電圧(-Vs/2)を印加することが可能となる。

【0025】上述したスイッチSW1～SW6、SW1'～SW6'およびトランジスタTr1～Tr7は、駆動制御回路31からそれぞれ供給される制御信号により制御される。上記駆動制御回路31は、論理回路等を用いて構成され、外部から供給される表示データD、クロックCLK、水平同期信号HSおよび垂直同期信号VS等に基づいて上記制御信号を生成し、スイッチSW1～SW6、SW1'～SW6'およびトランジスタTr1～Tr7に供給する。

【0026】なお、図19においては、駆動制御回路31からの制御線は、スイッチSW4、SW5、SW4'、SW5'およびトランジスタTr1～Tr4にそれぞれ接続された制御線のみ図示しているが、スイッチSW1～SW6、SW1'～SW6'およびトランジスタTr1～Tr7のそれぞれに駆動制御回路31からの制御線が接続されている。

【0027】図20は、上記図19のように構成した交流駆動型PDPの駆動装置による駆動波形を示すタイムチャートであり、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。1つ

のサブフィールドは、全面書き込み期間および全面消去期間から成るリセット期間と、アドレス期間と、維持放電期間とに区分される。

【0028】図20において、リセット期間においては、まず、共通電極X側のスイッチSW2、SW5がONとなり、スイッチSW1、SW3、SW4、SW6がOFFとなる。これにより、第2の信号ラインOUTBの電圧が、コンデンサC1に蓄積されている電荷に応じて( $-V_s/2$ )に引き下げられる。そして、その電圧( $-V_s/2$ )がスイッチSW5を介して出力ラインOUTCに出力され、負荷20の共通電極Xに印加される。

【0029】一方、走査電極Y側では、スイッチSW1'、SW4'、SW6'がONとなり、スイッチSW2'、SW3'、SW5'はOFFとなる。これにより、出力ラインOUTC'に電圧VwとコンデンサC4に蓄積された電荷による電圧( $V_s/2$ )とを加算した電圧が印加される。そして、その電圧( $V_s/2 + Vw$ )が負荷20の走査電極Yに印加される。このとき、スイッチSW6'内の抵抗R1'の作用により、電圧は時間経過とともに徐々に上昇していく。

【0030】これにより、共通電極Xと走査電極Yとの電位差が( $V_s + Vw$ )となり、以前の表示状態に関わらず、全表示ラインの全セルで放電が行われ、壁電荷が形成される(全面書き込み)。

【0031】次に、各スイッチを適宜制御することにより、共通電極Xおよび走査電極Yの電圧をグランドレベルに戻した後、共通電極X側と走査電極Y側とで上述した状態とは逆の状態を作り出す。すなわち、共通電極X側のスイッチSW1、SW4、SW6をON、スイッチSW2、SW3、SW5をOFFとするとともに、走査電極Y側のスイッチSW2'、SW5'をON、スイッチSW1'、SW3'、SW4'、SW6'をOFFとする。

【0032】これにより、共通電極Xに対する印加電圧がグランドレベルから( $V_s/2 + Vw$ )まで時間経過にともない連続的に上昇していくとともに、走査電極Yに対する印加電圧が( $-V_s/2$ )に落とされる。これにより、全セルにおいて壁電荷自身の電圧が放電開始電圧を越えて放電が開始される。このとき、上述のように共通電極Xに対する印加電圧を、時間経過とともに連続的に上昇させることにより、微弱放電が行われ、蓄積されていた壁電荷が一部を除いて消去される(全面消去)。

【0033】次に、アドレス期間においては、表示データに応じて各セルのON/OFFを行うために、線順次でアドレス放電が行われる。このとき、共通電極X側では、スイッチSW1、SW3、SW4がONとなり、スイッチSW2、SW5、SW6がOFFとなることにより、第1の信号ラインOUTAの電圧が、スイッチSW1を介して与えられる電圧( $V_s/2$ )まで引き上げら

れる。そして、その電圧( $V_s/2$ )がスイッチSW4を介して出力ラインOUTCに出力され、負荷20の共通電極Xに印加される。

【0034】また、ある表示ラインに相当する走査電極Yに電圧を印加するときは、スイッチSW2'およびトランジスタTr6がONとなることによってスキャンドライバ22の上側の電圧がグランドレベルとされる。また、このときトランジスタTr7がONとなることによって、コンデンサC4に蓄積されていた電荷に応じて第4の信号ラインOUTB'に出力された負の電圧( $-V_s/2$ )がスキャンドライバ22の下側に印加される。これにより、線順次により選択された走査電極Yには( $-V_s/2$ )レベル、非選択の走査電極Yにはグランドレベルの電圧が負荷20の走査電極Yに印加される。

【0035】このとき、各アドレス電極A1～Am中の維持放電を起こすセル、すなわち点灯させるセルに対応するアドレス電極Ajには、電圧Vaのアドレスパルスが選択的に印加される。この結果、点灯させるセルのアドレス電極Ajと線順次で選択された走査電極Yとの間で放電が起り、これをプライミング(種火)として共通電極Xと走査電極Yとの放電に即移行する。これにより、選択セルの共通電極Xおよび走査電極Yの上のMgO保護膜面に、次の維持放電が可能な量の壁電荷が蓄積される。

【0036】その後、維持放電期間になると、共通電極X側では、最初に2つのスイッチSW1、SW3をONにし、残りのスイッチSW2、SW4～SW6はOFFにする。このとき、第1の信号ラインOUTAの電圧は(+ $V_s/2$ )となり、第2の信号ラインOUTBの電圧はグランドレベルとなる。このとき、電力回收回路21内のトランジスタTr1をONにすることにより、コイルL1と負荷20の容量によりL-C共振が行われ、コンデンサC2に回収されていた電荷がトランジスタTr1、ダイオードD2、コイルL1を介して負荷20に供給される。

【0037】このとき、走査電極Y側では、スイッチSW2'がONとなっていることにより、共通電極X側のスイッチSW3を介してコンデンサC2から共通電極Xに供給された電流は、走査電極Y側のスキャンドライバ22内のダイオード、およびダイオードD6を通り、第3の信号ラインOUTA'、スイッチSW2'を介してGNDに供給される。このような電流の流れにより、共通電極Xの電圧は図20のように徐々に上昇していく。そして、この共振時に発生するピーク電圧の近傍においてスイッチSW4をONとすることにより、共通電極Xの電圧を( $V_s/2$ )にクランプする。

【0038】次に、走査電極Y側において、電力回收回路21'内のトランジスタTr3が更にONとされる。これにより、コイルL3と負荷20の容量にてL-C共振が行われ、共通電極X側のスイッチSW3、コンデン

サC 1 から第1の信号ラインOUT Aを介してスイッチSW 4 を通して共通電極Xに供給された電流が、走査電極Y側のスキャンドライバ2 2内のダイオードおよび電力回路2 1' 内のダイオードD 4 を通り、更にトランジスタTr 3 、コンデンサC 3 、コンデンサC 4 、スイッチSW 2' を介してGNDに供給される。このような電流の流れによって、走査電極Yの電圧は図20のように徐々に下降していく。このとき、その一部の電荷をコンデンサC 3 に回収することができる。そして、この共振時に発生するピーク電圧の近傍においてスイッチSW 5' を更にONとすることにより、走査電極Yの電圧を(-Vs/2)にクランプする。

【0039】同様にして、共通電極Xおよび走査電極Yの印加電圧を電圧(-Vs/2)からグランドレベル(0V)にするときには、電力回路2 1 、2 1' 内のコンデンサC 2 、C 3 に回収されていた電荷を供給することにより、印加電圧を徐々に上昇させていく。

【0040】また、共通電極Xおよび走査電極Yの印加電圧を電圧(Vs/2)からグランドレベル(0V)にするときには、負荷20に蓄積されていた電荷がGNDに供給されることで、印加電圧を徐々に下降させるとともに、負荷20に蓄積されていた電荷の一部を電力回路2 1 、2 1' 内のコンデンサC 2 、C 3 に回収する。

【0041】このようにして維持放電期間には、共通電極Xと各表示ラインの走査電極Yとに互いに極性の異なる電圧(+Vs/2、-Vs/2)を交互に印加して維持放電を行い、1サブフィールドの映像を表示する。

【0042】

【発明が解決しようとする課題】しかしながら、上述した交流駆動型PDPの駆動装置では、論理回路等で構成される駆動制御回路3 1 はGNDレベルを基準電位としているが、上記駆動制御回路3 1 から制御信号が供給され、共通電極Xおよび走査電極Yに電圧を印加する出力素子、すなわちスイッチSW 4 、SW 5 、SW 4' 、SW 5' および電源回路2 1 、2 1' 内のトランジスタTr 1 ~Tr 4 は駆動動作において基準電位が変化する。そのため、例えば、駆動制御回路3 1 により生成した信号を上記出力素子に供給する際、出力素子の電圧変動が駆動制御回路3 1 に逆流することにより、駆動制御回路3 1 に高電圧がかかる可能性があった。

【0043】この問題を解決する方法の1つとして、駆動制御回路3 1 の出力部の各素子に大きい耐圧を備える部品を用いることにより、上記出力素子の電圧変動の影響を受けないようにする方法が考えられる。しかしながら、大きい耐圧を備える部品を用いて駆動制御回路3 1 の出力部を構成すると、回路構成が複雑になってしまうという問題があった。

【0044】また、上述した交流駆動型PDPの駆動装置では、電力回路2 1 、2 1' が正常に動作しなか

った場合、すなわちコンデンサC 2 、C 3 の両端の電圧が正常な電圧値から逸脱した場合には、上記駆動装置による駆動動作において、出力ロスが大きくなってしまって、駆動装置を構成する各素子の発熱量が増加し、その結果素子破壊に至ってしまうことがある。

【0045】本発明は、このような問題を解決するためには成されたものであり、大きい耐圧を備える部品等を用いなくとも、信頼性の高いプラズマディスプレイ装置を提供することができるようになることを目的とする。また、本発明は、電力回路が正常に動作しなかった場合に、素子破壊等の発生を防止することができるようになることを第2の目的とする。

【0046】

【課題を解決するための手段】本発明のプラズマディスプレイ装置は、表示セルに電圧を印加して放電を行うために設けられた電極に対して電圧を供給する出力素子の制御を行うための制御信号を上記出力素子の基準電位の信号に変換し、上記出力素子に供給する信号伝達回路を備えたことを特徴とする。

【0047】本発明のプラズマディスプレイ装置の他の特徴となるところは、電力回路の電力回収電圧を検出する電圧検出回路により検出された電力回収電圧が、上記電力回路が正常に動作しているときの電力回収電圧と異なる場合には、プラズマディスプレイ装置を駆動させるための電源電圧を下げるようとしたことを特徴とする。

【0048】上記のように構成した本発明によれば、電極に対して電圧を供給する出力素子の制御を行なうための制御信号が出力素子の基準電位に変換され、出力素子に供給されるので、基準電位は絶縁しながらも制御信号を伝達することができるようになる。したがって、出力素子の電圧変動等が発生したとしても、制御信号を供給する側に、その影響が及ぶことを防止することができるようになる。

【0049】また、本発明の他の態様によれば、電力回路の電力回収電圧が検出され、検出された電力回収電圧が、上記電力回路が正常に動作しているときの電力回収電圧と異なる場合には、プラズマディスプレイ装置を駆動させるための電源電圧を下げるようとしたので、素子破壊等が発生する前にプラズマディスプレイ装置の動作を停止することができるようになる。

【0050】

【発明の実施の形態】以下に、本発明の実施形態を図面に基づいて説明する。

(第1の実施形態) 図1は、第1の実施形態による交流駆動型PDPの駆動装置の構成例を示す図である。なお、この図1に示す本実施形態の駆動装置は、例えば図17、図18に全体構成および1画素を構成する1つのセルの構成を示した交流駆動型PDP装置に適用することが可能である。また、この図1において、図19に示

した符号と同一の符号を付したものは、同一の機能を有するものである。

【0051】図1において、負荷20は、1つの共通電極Xと1つの走査電極Yとの間に形成されているセルの合計の容量である。また、負荷20には、共通電極Xおよび走査電極Yが形成されている。

【0052】共通電極X側では、スイッチSW1、SW2は、図示しない電源から供給される電圧( $V_s/2$ )の電源ラインとグランド(GND)との間に直列に接続される。上記2つのスイッチSW1、SW2の相互接続点にはコンデンサC1の一方の端子が接続され、このコンデンサC1の他方の端子とGNDとの間には、スイッチSW3が接続される。

【0053】また、スイッチSW4、SW5は、上記コンデンサC1の両端に直列に接続され、上記SW4は第1の信号ラインOUTAを介して、コンデンサC1の上記一方の端子に接続され、上記SW5は第2の信号ラインOUTBを介して、コンデンサC1の上記他方の端子に接続される。そして、これら2つのスイッチSW4およびSW5の相互接続点には、出力ラインOUTCを介して負荷20の共通電極Xが接続されている。

【0054】一方、走査電極Y側では、スイッチSW1'、SW2'は、図示しない電源から供給される電圧( $V_s/2$ )の電源ラインとGNDとの間に直列に接続される。これら2つのスイッチSW1'、SW2'の相互接続点にはコンデンサC4の一方の端子が接続され、このコンデンサC4の他方の端子とGNDとの間には、スイッチSW3'が接続される。

【0055】また、コンデンサC4の上記一方の端子に第3の信号ラインOUTA'を介して接続されたスイッチSW4'は、ダイオードD14のカソードと接続され、ダイオードD14のアノードとコンデンサC4の上記他方の端子が接続される。また、コンデンサC4の上記他方の端子に第4の信号ラインOUTB'を介して接続されたスイッチSW5'は、ダイオードD15のアノードと接続され、ダイオードD15のカソードとコンデンサC4の上記一方の端子が接続される。そして、ダイオードD14のカソードと接続されるスイッチSW4'、ダイオードD15のアノードと接続されるスイッチSW5'のそれぞれの一端からスキャンドライバ22を介して負荷20の走査電極Yが接続されている。

【0056】なお、図1ではスキャンドライバ22を1つのみ示しているが、実際には、PDPが備える複数の表示ラインに対してそれぞれ備えられている。その他の回路は、複数の表示ラインに共通に設けられる共通回路である。

【0057】駆動制御回路31は、論理回路等を用いて構成され、本駆動装置を構成する上記スイッチSW1～SW5、SW1'～SW5'を制御するための回路である。すなわち、駆動制御回路31は、外部から供給され

る表示データ、クロック、水平同期信号および垂直同期信号等に基づいて、上記スイッチSW1～SW5、SW1'～SW5'を制御するための制御信号を生成する。そして、駆動制御回路31は、生成した制御信号を上記スイッチSW1～SW5、SW1'～SW5'にそれぞれ供給する。

【0058】なお、図1においては、駆動制御回路31から制御信号を供給する制御線は、スイッチSW4、SW5、SW4'およびSW5'にそれぞれ接続されたプリドライブ回路32-1、32-2、32-3、33-3に制御信号を供給する制御線CTL1～CTL4のみ図示しているが、スイッチSW1～SW3、SW1'～SW3'のそれぞれに駆動制御回路31から制御信号を供給する制御線が接続されている。

【0059】プリドライブ回路32-1～32-4は、上記駆動制御回路31から制御線CTL1～CTL4を介してそれぞれ供給される駆動制御回路31の基準電位(例えば、GND)を基準とする制御信号を、上記スイッチSW4、SW5、SW4'、SW5'の基準電位にあわせた制御信号にそれぞれ電圧レベルを変換し供給する。なお、このプリドライブ回路32-1～32-4の詳細については、後述する。

【0060】次に、図2を用いて動作について説明する。図2は、上記図1に示した交流駆動型PDPの駆動装置の動作を説明するための概念図である。なお、この図2において、図1に示した符号と同じ符号を付したものは、同一の機能を有するものであり、重複する説明は省略する。

【0061】図2において、共通電極X側の2つのスイッチSW1、SW3がONとなり、残りのスイッチSW2、SW4、SW5はOFFとなると、第1の信号ラインOUTAの電圧は、図示しない電源よりスイッチSW1を介して与えられる電圧レベル( $+V_s/2$ )となる。その後、スイッチSW4がONとなるとともに、走査電極Y側のスイッチSW4'、SW2'がONとなることにより、第1の信号ラインOUTAの電圧( $+V_s/2$ )が出力ラインOUTCを介して負荷20の共通電極Xに印加され、共通電極Xと走査電極Yとの間に( $V_s/2$ )の電圧が印加される。

【0062】また、この段階では、スイッチSW1、SW3がONとなってコンデンサC1が電源に接続されることとなるので、当該コンデンサC1には、図示しない電源からスイッチSW1、SW3によって与えられる電圧( $V_s/2$ )に応じた電荷が蓄積される。

【0063】次に、スイッチSW4がOFFとなって、電圧を印加する際の電流経路が遮断された後、スイッチSW5がパルス状にONとなることにより、出力ラインOUTCの電圧がグランドレベルまで下げられる。次に、スイッチSW2がON、残り4つのスイッチSW1、SW3、SW4、SW5がOFFとされた後、スイ

スイッチSW4がパルス的にONとなる。このスイッチSW4がONとなることにより、共通電極X（グランド）に対し、走査電極Y側に電圧を印加するときの電流経路となる。

【0064】次に、スイッチSW2をONに維持したまま、スイッチSW5がONとなる。このとき、第1の信号ラインOUTAには図示しない電源からスイッチSW1を介して電源電圧が供給されないので、その電圧はグランドレベルとなる。一方、第2の信号ラインOUTBに関しては、スイッチSW2がONとなって第1の信号ラインOUTAが接地されることにより、第2の信号ラインOUTBの電圧は、コンデンサC1に蓄積されている電荷に応じた電圧( $V_s/2$ )分だけグランドレベルから下がった電位( $-V_s/2$ )となる。

【0065】このとき、スイッチSW5がONとなっているので、第2の信号ラインOUTBの電圧( $-V_s/2$ )が出力ラインOUTCを介して負荷20に印加される。その際、走査電極Y側のスイッチSW3'、SW4'をONとし、走査電極Y（電圧 $V_s/2$ ）に対し、共通電極X側に電圧( $-V_s/2$ )を印加することとなる。

【0066】次に、スイッチSW2、SW4がONとなり、残りのスイッチSW1、SW3、SW5はOFFとなる。これにより、出力ラインOUTCの電圧がグランドレベルに持ち上げられる。その後、最初の段階と同様に3つのスイッチSW1、SW3、SW4がON、残り2つのスイッチSW2、SW5がOFFとなり、以降同様に繰り返されていく。

【0067】このようにして、負荷20の共通電極Xに対して正の電圧( $+V_s/2$ )と負の電圧( $-V_s/2$ )とを交互に印加していく。一方、負荷20の走査電極Yに対しても、共通電極X側と同様のスイッチング制御を行うことにより、正の電圧( $+V_s/2$ )と負の電圧( $-V_s/2$ )とを交互に印加していく。

【0068】このとき、共通電極Xおよび走査電極Yのそれぞれに印加する電圧( $\pm V_s/2$ )は、互いに位相が反転するように印加する。つまり、共通電極Xに正の電圧( $+V_s/2$ )が印加されているときには、走査電極Yには負の電圧( $-V_s/2$ )を印加するようになる。このようにすることにより、共通電極Xと走査電極Y間の電位差を、共通電極Xと走査電極Y間での維持放電が可能な電位差にすることができる。

【0069】次に、上記図1に示したプリドライブ回路32-1～32-4について詳細に説明する。なお、上記プリドライブ回路32-1～32-4は、同じ構成であるので、以下ではプリドライブ回路32-1について説明する。

【0070】図3は、プリドライブ回路の一構成例を示すブロック図である。図3において、プリドライブ回路32-1は、信号伝達回路41および信号増幅回路42を備えている。

【0071】上記信号伝達回路41は、図1に示す駆動制御回路31の基準電位（例えば、GND）を基準とする駆動制御回路31から制御線CTL1を介して供給される上記制御信号を、出力素子（プリドライブ回路32-1であれば、図1に示すスイッチSW4）の基準電位にあわせた制御信号の電圧レベルに変換する。この信号伝達回路41は、例えば、フォトカプラ、カップリングコンデンサ、またはトランジスで構成することができる。

【0072】上記信号増幅回路42は、上記信号伝達回路41により出力される上記出力素子に対する制御信号を、出力素子の駆動レベルに増幅し、上記出力素子に供給する。この信号増幅回路42は、例えば、MOSドライバ、またはIGBT（Insulated Gate Bipolar Transistor）ドライバで構成することができる。

【0073】このように構成したプリドライブ回路32-1によれば、駆動制御回路31から供給される駆動制御回路31の基準電位を基準とした制御信号を、信号伝達回路41により出力素子の基準電位の電圧レベルに変換し、さらに信号増幅回路42で出力素子の駆動レベルに増幅した後、上記出力素子に供給することができる。これにより、出力素子の基準電位にあった制御信号が当該出力素子に供給されるので、出力素子を安定して作動させることができるとともに、出力素子において電圧変動等が発生したとしても、その影響が駆動制御回路31に及ばなくなる。

【0074】また、供給される制御信号の基準電位を変換する信号伝達回路41を設けたことにより、信号伝達回路41の前段に配置する回路および後段に配置する回路を設計する際に、それぞれの基準電位を考慮することなく、前段に配置する回路と後段に配置する回路とに分けて回路設計を行うことができるので、容易に回路設計を行うことができる。

【0075】図4は、プリドライブ回路の構成例を示すブロック図である。図4に示すプリドライブ回路32-1は、図3に示すプリドライブ回路32-1において駆動制御回路31から供給された制御信号の基準電位を変換する信号伝達回路41にフォトカプラ等の光伝達回路43を用いたものである。

【0076】図4において、光伝達回路43は図5に示すように発光素子44と受光素子45とを組み合わせた回路で構成される。ここで、上記発光素子44の基準電位は駆動制御回路31の基準電位と等しく、上記受光素子45の基準電位は出力素子の基準電位と等しい。

【0077】図4に示すプリドライブ回路32-1では、駆動制御回路31から出力素子に対する制御信号が供給されると、まず上記制御信号に従って光伝達回路43内の発光素子44が明滅する。そして、上記発光素子44により発光される光Aの有無を光伝達回路43内の受光素子45にて検出し、検出結果に応じた信号を光伝達回路43から出力する。すなわち、上記光伝達回路4

3は、供給された制御信号の基準電位を駆動制御回路3-1の基準電位から出力素子の基準電位に変換して出力する。

【0078】そして、上記光伝達回路4-3により出力素子の基準電位に変換して出力された制御信号は、信号増幅回路4-2により出力素子の駆動レベルに増幅され、上記出力素子に供給される。

【0079】このように、光伝達回路4-3により駆動制御回路3-1の基準電位から出力素子の基準電位に、制御信号を変換する場合には、光伝達回路4-3内の発光素子4-4と受光素子4-5との間で、上記制御信号の伝達経路を電気的に遮断し絶縁しながらも、制御信号を光で伝達することができる。したがって、駆動制御回路3-1は、出力素子において発生した電圧変動等の影響を全く受けることなくなる。

【0080】図6は、図4に示すプリドライブ回路3-2-1の動作例を説明するための図である。図6において、出力素子であるスイッチSW4はnチャネルトランジスタであり、プリドライブ回路3-2-1から出力される信号OUTがハイレベルのときはONとなり、ロウレベルのときはOFFとなる。

【0081】また、上記プリドライブ回路3-2-1は、光伝達回路4-3内の発光素子4-4が発光している場合には、ハイレベルの信号OUTを出力し、そうでない場合（発光素子4-4が発光していない場合）には、ロウレベルの信号OUTを出力する。

【0082】図7は、図6に示すプリドライブ回路3-2-1の動作を示すタイムチャートである。図7において、CTLは駆動制御回路3-1から供給される制御信号であり、OUTは上記制御信号に従ってプリドライブ回路3-2-1から出力される信号である。また、OUT'は、上記信号OUTと比較するために記載したものであり、図6に示す光伝達回路4-3内の発光素子4-4が発光している場合にはロウレベルとなり、そうでない場合（発光素子4-4が発光していない場合）にはハイレベルとなる。ここで、光伝達回路4-3内の発光素子4-4は、制御信号CTLがハイレベルのときは発光し、ロウレベルのときは発光しないものとする。

【0083】まず、時刻T1において、制御信号CTLがハイレベルになると、光伝達回路4-3内の発光素子4-4が発光し、プリドライブ回路3-2-1から出力される信号OUTもハイレベルになり、スイッチSW4はON状態になる。次に、時刻T2において、制御信号CTLがロウレベルになると、光伝達回路4-3内の発光素子4-4は発光せず、プリドライブ回路3-2-1から出力される信号OUTはロウレベルになり、スイッチSW4はOFF状態になる。そして、時刻T3において、再び制御信号CTLがハイレベルになると、それに伴いプリドライブ回路3-2-1から出力される信号OUTもハイレベルとなり、スイッチSW4はON状態になる。

【0084】ここで、時刻T4において、電源を供給する電源装置および回路の不具合等によりプリドライブ回路3-2-1内の光伝達回路4-3への電源供給が遮断され、その後時刻T5において、スイッチSW4を含むその他の回路への電源供給が遮断されたとする。このとき、時刻T4において、上記光伝達回路4-3内の発光素子4-4は、制御信号CTLには関わらず発光しなくなる。それに伴い、プリドライブ回路3-2-1から出力される信号OUTもロウレベルとなり、スイッチSW4はOFF状態になる。

【0085】それに対して、光伝達回路4-3内の発光素子4-4が発光している場合にはロウレベルとなり、そうでない場合（発光素子4-4が発光していない場合）にはハイレベルとなる信号OUT'の場合には、時刻T4において、上記光伝達回路4-3内の発光素子4-4が発光しなくなるが、その他の回路が動作しているため、プリドライブ回路3-2-1から出力される信号OUT'はハイレベルとなり、スイッチSW4がON状態になる。その後、時刻T5において、スイッチSW4を含むその他の回路が動作しなくなることで、スイッチSW4がOFF状態になる。

【0086】すなわち、光伝達回路4-3内の発光素子4-4が発光しているときに、出力素子であるスイッチSW4をOFF状態にし、発光素子4-4が発光していないときに、スイッチSW4をON状態にするようにした場合には、仮に光伝達回路4-3への電源供給のみが遮断されたときには、スイッチSW4がON状態となる。これにより、プラズマディスプレイパネルに電流が供給され続けたり、排他制御すべきスイッチ等の出力素子が同時にON状態になつたりして素子破壊等が発生することがある。

【0087】それに対して、上述した信号OUTのように光伝達回路4-3内の発光素子4-4が発光しているときに、出力素子であるスイッチSW4をON状態にし、発光素子4-4が発光していないときに、スイッチSW4をOFF状態にするようにした場合には、仮に光伝達回路4-3への電源供給のみが遮断されたとしても、スイッチSW4をOFF状態にすることができ、素子破壊等を確実に防止することができる。

【0088】また、電源を供給する電源装置および回路の不具合等により、上記光伝達回路4-3への電源供給が遮断された場合に、プリドライブ回路3-2-1に接続された出力素子を確実にOFF状態にする方法として、光伝達回路4-3に対して所定の時間だけ電源を供給する電源電圧維持回路を設ける方法がある。

【0089】図8は、上記光伝達回路4-3に対して上記電源電圧維持回路を設けたプリドライブ回路3-2-1の構成例を示す図である。図8において、46は電源電圧維持回路4-7を介して光伝達回路4-3'に電源を供給する電源装置である。また、電源電圧維持回路4-7は、上

記電源装置46から光伝達回路43への電源供給が遮断された場合に所定の時間だけ光伝達回路43に電源端子V<sub>t</sub>を介して電源を供給する。上記電源電圧維持回路47は、例えば、図9に示すような電源装置46にアノードが接続され、電源端子V<sub>t</sub>にカソードが接続されたダイオードと、上記ダイオードのカソードとグランドとの間に接続されたコンデンサ48により構成される。

【0090】そして、電源46から電源端子V<sub>t</sub>を介して光伝達回路43に電源が供給されている場合には、供給されている電源を電荷としてコンデンサ48に蓄積する。一方、電源46から光伝達回路43への電源供給が遮断された場合には、上記コンデンサ48に蓄積した電荷を、電源端子V<sub>t</sub>を介して光伝達回路43に供給することにより所定の時間だけ光伝達回路43に供給する電源を維持する。これにより、光伝達回路43への電源供給が遮断されたとしても、出力素子に供給する電源電圧が下がるまで光伝達回路43から出力される信号の論理を正確に保つことができ、素子破壊等を防止することができる。なお、上述のように光伝達回路43に対して電源電圧維持回路47を設け、上記光伝達回路43内の発光素子44が発光しているときに、出力素子をOFF状態にするようにした場合には、光伝達回路43への電源供給が遮断されたとしても、出力素子に供給する電源電圧が下がるまで光伝達回路43から出力される信号によりOFF状態に保つことができる。

【0091】図10は、プリドライブ回路32-1の他の構成例を示すブロック図である。図10に示すプリドライブ回路32-1は、上記図3に示したプリドライブ回路に位相調整回路49をさらに設けたものである。

【0092】図10において、位相調整回路49は、駆動制御回路31から供給される制御信号がプリドライブ回路32-1を介して出力素子に供給される際の位相の遅延を各プリドライブ回路32-1～32-4間で調整するための回路である。すなわち、駆動制御回路31から供給される制御信号が、信号伝達回路41により基準電位が変換されたり、信号増幅回路42により増幅されたりする際に、上記信号伝達回路41および信号増幅回路42を構成する素子やその素子の感度等のばらつきにより、プリドライブ回路から出力される信号には位相の遅延が発生する。上記位相調整回路49は、この信号伝達回路41および信号増幅回路42により発生した位相の遅延を各プリドライブ回路32-1～32-4の間で調整し、位相をあわせて各出力素子に制御信号を供給する。

【0093】上記位相調整回路49は、例えば、コンデンサと抵抗からなる時定数調整回路により構成することができ、上記コンデンサの容量値や上記抵抗の抵抗値を調整することで位相の遅延を調整することができる。

【0094】図11は、位相調整回路49の構成例を示す図である。図11において、I<sub>in</sub>は位相調整回路4

9の入力端子であり、I<sub>out</sub>は位相調整回路49の出力端子である。

【0095】図11(a)に示す位相調整回路49は、入力端子I<sub>in</sub>と出力端子I<sub>out</sub>との間に接続された可変抵抗R11と、上記出力端子I<sub>out</sub>と上記可変抵抗R11の端子との相互接続点とGNDとの間に接続されたコンデンサC11により構成される。そして、上記可変抵抗R11の抵抗値を変化させることにより、位相の遅延時間を調整する。

【0096】図11(b)に示す位相調整回路49は、入力端子I<sub>in</sub>と出力端子I<sub>out</sub>との間に接続された抵抗R12と、上記出力端子I<sub>out</sub>と上記抵抗R12の端子との相互接続点とGNDとの間に接続された可変容量C12により構成される。そして、上記可変容量C12の容量値を変化させることにより、位相の遅延時間を調整する。

【0097】図11(c)に示す位相調整回路49は、入力端子I<sub>in</sub>と出力端子I<sub>out</sub>との間に接続された電気的に抵抗値をえることができる電子ボリュームR13と、上記出力端子I<sub>out</sub>と上記電子ボリュームR13の端子との相互接続点とGNDとの間に接続されたコンデンサC13により構成される。また、上記電子ボリュームR13を調整するための抵抗制御信号が外部から入力され、上記電子ボリュームR13に供給される。そして、上記抵抗制御信号により上記電子ボリュームR13の抵抗値を変化させることで、位相の遅延時間を調整する。

【0098】このようにプリドライブ回路内に位相調整回路49を設けることで、信号伝達回路41および信号増幅回路42を構成する素子等のばらつきによる位相の遅延を調整することができ、出力素子の動作の安定化を図ることができる。なお、図10に示すプリドライブ回路32-1においては、信号伝達回路41の前段に位相調整回路49を設けたが、位相調整回路49は信号伝達回路41の後段に設けるようにしても良い。

【0099】図12は、第1の実施形態による交流駆動型PDPの駆動装置の他の構成例を示す図である。図12に示す駆動装置は、上記図19に示した駆動装置に対して、本実施形態によるプリドライブ回路を設けたものである。なお、この図12において、図19に示した部分と同一の部分には同一の符号を付し、重複する説明は省略する。

【0100】図12において、32-1～32-8はプリドライブ回路であり、上記駆動制御回路31'からそれぞれ供給される制御信号を、スイッチSW4、SW5、SW4'、SW5'およびトランジスタTr1～Tr4の基準電位にあわせた制御信号にそれぞれ電圧レベルを変換し供給する。すなわち、図1に示したプリドライブ回路と同様に、駆動制御回路31'からそれぞれ供給される制御信号の基準電位を、駆動制御回路31'の

基準電位から出力素子の基準電位に変換して出力素子に供給する。この図12に示す駆動装置においては、スイッチSW4、SW5、SW4'、SW5'およびトランジスタTr1～Tr4の基準電位が駆動動作において変化するので、プリドライブ回路32-1～32-8をそれぞれ設けている。

【0101】このように、駆動動作において基準電位が変化するスイッチSW4、SW5、SW4'、SW5'およびトランジスタTr1～Tr4のそれぞれに対してプリドライブ回路32-1～32-8を設けることで、基準電位にあった制御信号がスイッチSW4、SW5、SW4'、SW5'およびトランジスタTr1～Tr4のそれぞれに供給されるので、各出力素子を安定して動作させることができる。なお、図12に示すプリドライブ回路32-1～32-8には、上述した何れのプリドライブ回路を用いることができる。

【0102】以上、詳しく説明したように本実施形態によれば、プリドライブ回路内の信号伝達回路41により、駆動制御回路31から供給される制御信号の基準電位を出力素子（スイッチSW4、SW5、SW4'、SW5'、トランジスタTr1～Tr4等）の基準電位に変換し、信号増幅回路42にて増幅した後、出力素子に供給する。

【0103】これにより、駆動制御回路31および制御信号の基準電位と出力素子の基準電位が異なっていたとしても、基準電位を絶縁して制御信号を出力素子に伝達することができるので、出力素子の電圧変動等が発生したとしても、その影響が駆動制御回路31に及ぶことを防止することができる。したがって、プラズマディスプレイ装置を安定して駆動させることができ、プラズマディスプレイ装置の信頼性を向上させることができる。

【0104】例えば、信号伝達回路41として光伝達回路43を用いるようにした場合には、駆動制御回路31と出力素子との間で制御信号を伝達しながらも、電気的な経路を完全に遮断することができる。これにより、出力素子の電圧変動等が発生したとしても、その影響が駆動制御回路31に及ぶことを完全に防止することができ、プラズマディスプレイ装置の信頼性をさらに向上させることができる。

【0105】また、例えば、プリドライブ回路内に位相調整回路49を設けるようにした場合には、制御信号を出力素子の基準電位に変換する際に、信号伝達回路41、信号増幅回路42等により発生する位相の遅延を調整することができるので、各出力素子の動作タイミングを同期させることができ、プラズマディスプレイ装置を安定して駆動することができる。

【0106】（第2の実施形態）次に、本発明の第2の実施形態について説明する。図13は、第2の実施形態による交流駆動型PDPの駆動装置の構成例を示す図である。なお、この図13に示す本実施形態の駆動装置

は、例えば図17、図18に全体構成および1画素を構成する1つのセルの構成を示した交流駆動型PDP装置に適用することが可能である。また、この図12において、図1に示した部分と同一の部分には同一の符号を付し、重複する説明は省略する。

【0107】第2の実施形態による駆動装置は、第1の実施形態による駆動装置では各出力素子に対してそれぞれプリドライブ回路を設けていたものを、共通電極X側および走査電極Y側にそれぞれ1つのプリドライブ回路を設けて、プリドライブ回路内で各出力素子に対する制御信号の変換、生成等を行い、各出力素子に供給するようにしたものである。

【0108】図13において、51は駆動制御回路であり、52および52'はプリドライブ回路であり、駆動制御回路51からプリドライブ回路52、52'にはそれぞれ1つの制御信号が供給される。なお、この制御信号は、各プリドライブ回路52、52'の後段に接続されるすべての出力素子（スイッチSW4、SW5、SW4'、SW5'）を制御するための制御信号である。

【0109】上記プリドライブ回路52は、1つの信号伝達回路53、1つの信号変換回路54および出力素子の数（図13に示す共通電極X側では2つ）の信号増幅回路55-1、55-2を備えている。上記信号伝達回路53は、駆動制御回路51から供給される制御信号の基準電位を出力素子の基準電位に変換し出力する回路である。すなわち、上記信号伝達回路53は、駆動制御回路51から供給される上記駆動制御回路51の基準電位（例えば、GND）を基準とした制御信号を、プリドライブ回路52の後段に接続された出力素子の基準電位にあわせて制御信号の電圧レベルを変換する。この信号伝達回路53は、例えば、フォトカプラ、カップリングコンデンサ、またはトランジス等で構成することができる。

【0110】上記信号変換回路54は、上記信号伝達回路53により出力素子の基準電位に電圧レベルが変換された制御信号に基づいて、プリドライブ回路52の後段に接続されたそれぞれの出力素子に対する制御信号を生成するとともに、適切なタイミングで信号増幅回路55-1、55-2に供給する。すなわち、上記信号変換回路54は、上記信号伝達回路53により出力素子の基準電位に電圧レベルが変換された制御信号に基づいて、後段に接続されたスイッチSW4、SW5に対する2つの制御信号を生成し、信号増幅回路55-1、55-2にそれぞれ供給する。

【0111】上記信号増幅回路55-1、55-2は、上記信号変換回路54により分離され供給される制御信号を、出力素子の駆動レベルに増幅し、出力素子であるスイッチSW4、SW5に供給する。走査電極Y側のプリドライブ回路52'は、上述した共通電極X側の上記プリドライブ回路52と同じ構成であるので、説明は省略する。

【0112】図14は、第2の実施形態による交流駆動型PDPの駆動装置の他の構成例を示す図である。なお、この図14において、図12および図19に示した部分と同一の部分には同一の符号を付し、重複する説明は省略する。

【0113】図14に示す駆動装置は、電源回收回路21、21'を備えた駆動装置に図13に示した駆動装置と同様に、共通電極X側および走査電極Y側にそれぞれ1つのプリドライブ回路を設けて、プリドライブ回路内で各出力素子に対する制御信号の変換、生成等を行い、各出力素子に供給するようにしたものである。

【0114】図14において、56は駆動制御回路であり、57および57'はプリドライブ回路であり、図13に示した駆動制御回路51およびプリドライブ回路52、52'と同じ機能を有する。

【0115】上記プリドライブ回路57は、1つの信号伝達回路58、1つの信号変換回路59および出力素子の数（図14に示す共通電極X側では4つ）の信号増幅回路60-1、60-2、60-3、60-4を備えている。上記信号伝達回路58は、図13に示した信号伝達回路53と同様に、駆動制御回路56から供給される制御信号の基準電位を出力素子の基準電位に変換し信号変換回路59に出力する回路である。

【0116】また、信号変換回路59は、図13に示した信号変換回路54と同様に、上記信号伝達回路58により出力素子の基準電位に電圧レベルが変換された制御信号に基づいて、プリドライブ回路57の後段に接続されたそれぞれの出力素子に対する制御信号を生成するとともに、適切なタイミングで信号増幅回路60-1～60-4に供給する。すなわち、上記信号変換回路59は、上記信号伝達回路58により出力素子の基準電位に電圧レベルが変換された制御信号に基づいて、後段に接続されたスイッチSW4、SW5およびトランジスタTr1、Tr2のそれに対応する4つの制御信号を生成し、信号増幅回路60-1～60-4にそれぞれ供給する。

【0117】上記信号増幅回路60-1～60-4は、上記信号変換回路59により分離され、それぞれ供給される制御信号を、出力素子の駆動レベルに増幅し、出力素子であるスイッチSW4、SW5およびトランジスタTr1、Tr2にそれぞれ供給する。なお、走査電極Y側のプリドライブ回路57'についても、上述したプリドライブ回路57と同じ構成である。

【0118】以上、説明したように第2の実施形態によれば、共通電極X側および走査電極Y側のそれぞれに1つのプリドライブ回路を設け、プリドライブ回路内の信号伝達回路の後段に接続された信号変換回路により、プリドライブ回路に接続されたそれぞれの出力素子に対する制御信号に供給された制御信号を分離し出力素子に供給する。

【0119】これにより、出力素子毎にプリドライブ回路を設けたときよりも、少ない信号伝達回路の数で制御信号の基準電位と出力素子の基準電位とを絶縁して制御信号を出力素子に伝達することができる。したがって、僅かな回路を追加するだけで、プラズマディスプレイ装置を安定して駆動させることができ、プラズマディスプレイ装置の信頼性を向上させることができる。

【0120】（第3の実施形態）次に、本発明の第3の実施形態について説明する。図15は、第3の実施形態による交流駆動型PDPの駆動装置の構成例を示す図である。なお、この図15において、図19に示した部分と同一の部分には同一の符号を付し、重複する説明は省略する。図15において、61および61'は電圧検出回路であり、電力回收回路21、21'がそれぞれ備えるコンデンサC2、C3の電極間の電位差を検出し、検出結果を電源制御回路62に供給する。

【0121】電源制御回路62は、上記電圧検出回路61、61'から供給されるコンデンサC2、C3の電極間の電位差の検出結果に基づいて、電力回收回路21、21'がそれぞれ正常に動作しているか否か判断する。すなわち、電源制御回路62は、上記電圧検出回路61、61'から供給される検出結果であるコンデンサC2、C3の電極間の電位差が、電力回收回路21、21'が正常に動作している場合に示す電位差であるか否か判断する。

【0122】ここで、例えば電力回收回路21が正常に動作している場合には、コンデンサC2の両端の電位差（第2の信号ラインOUTBとトランジスタTr1およびTr2の相互接続点との電位差）が、図16に示すようにVs/4となるので、上記判断は、上記電圧検出回路61、61'から供給されるコンデンサC2、C3の電極間の電位差の検出結果がVs/4であるか否かにより判断する。

【0123】その結果、電力回收回路21、21'の少なくとも何れかが正常に動作していない、すなわち、電圧検出回路61、61'から供給された検出結果と電力回收回路21、21'が正常に動作している場合に示す値とが異なると判断した場合には、電源制御回路62は電源回路63を制御して出力電圧Vs/2、Vwを下げる。

【0124】以上、説明したように第3の実施形態によれば、電力回收回路21、21'がそれぞれ備えるコンデンサC2、C3の電極間の電位差を検出し、検出結果と電力回收回路21、21'が正常に動作している場合に示す値とが異なると判断した場合には、プラズマディスプレイ装置に供給する出力電圧を下げるようとする。これにより、素子破壊等が発生する前に、プラズマディスプレイ装置の動作を停止することができ、プラズマディスプレイ装置の信頼性を向上させることができる。

【0125】なお、上記実施形態は、何れも本発明を実

施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

## 【0126】

【発明の効果】以上説明したように、本発明によれば、表示セルに電圧を印加して放電を行うために設けられた電極に対して、電圧を供給する出力素子の制御を行うための制御信号を信号伝達回路により上記出力素子の基準電位の信号に変換し、上記出力素子に供給する。これにより、基準電位は絶縁しながらも制御信号を伝達することができ、プラズマディスプレイ装置の信頼性を向上させることができる。

【0127】また、電力回收回路の電力回収電圧を検出する電圧検出回路により検出された電力回収電圧が、上記電力回收回路が正常に動作しているときの電力回収電圧と異なるときに、プラズマディスプレイ装置を駆動させるための電源電圧を下げるようとした場合には、素子破壊等が発生する前のプラズマディスプレイ装置の動作を停止することができ、プラズマディスプレイ装置の信頼性を向上させることができる。

## 【図面の簡単な説明】

【図1】第1の実施形態による交流駆動型PDPの駆動装置の構成例を示す図である。

【図2】第1の実施形態による交流駆動型PDPの駆動装置の動作を説明するための概念図である。

【図3】プリドライブ回路の一構成例を示すブロック図である。

【図4】プリドライブ回路の他の構成例を示すブロック図である。

【図5】光伝達回路の構成例を示す図である。

【図6】プリドライブ回路の動作例を説明するための図である。

【図7】プリドライブ回路の動作を示すタイムチャートである。

【図8】プリドライブ回路の他の構成例を示すブロック

図である。

【図9】電源電圧維持回路の構成例を示す図である。

【図10】プリドライブ回路の他の構成例を示すブロック図である。

【図11】位相調整回路の構成例を示す図である。

【図12】第1の実施形態による交流駆動型PDPの駆動装置の他の構成例を示す図である。

【図13】第2の実施形態による交流駆動型PDPの駆動装置の構成例を示す図である。

【図14】第2の実施形態による交流駆動型PDPの駆動装置の他の構成例を示す図である。

【図15】第3の実施形態による交流駆動型PDPの駆動装置の構成例を示す図である。

【図16】第3の実施形態による交流駆動型PDPの駆動装置の動作を説明するための電圧波形図である。

【図17】交流駆動型PDP装置の全体構成を示す図である。

【図18】1画素である第i行第j列のセルC<sub>ij</sub>の断面構成を示す図である。

【図19】交流駆動型PDPの駆動装置の回路構成例を示す図である。

【図20】図19に示す交流駆動型PDPの駆動装置による駆動波形を示すタイムチャートである。

## 【符号の説明】

1 交流駆動型PDP

20 負荷

31 駆動制御回路

32-1～32-8 プリドライブ回路

41 信号伝達回路

42 信号增幅回路

43 光伝達回路

47 電源電圧維持回路

OUTA 第1の信号ライン

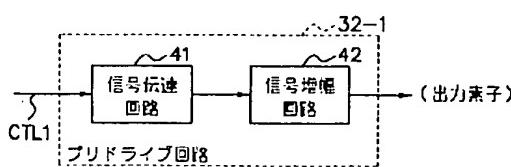
OUTB 第2の信号ライン

OUTA' 第3の信号ライン

OUTB' 第4の信号ライン

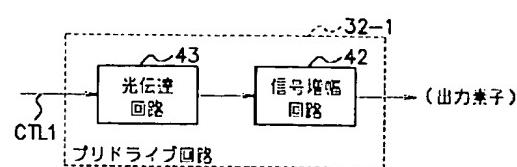
【図3】

## プリドライブ回路の構成例



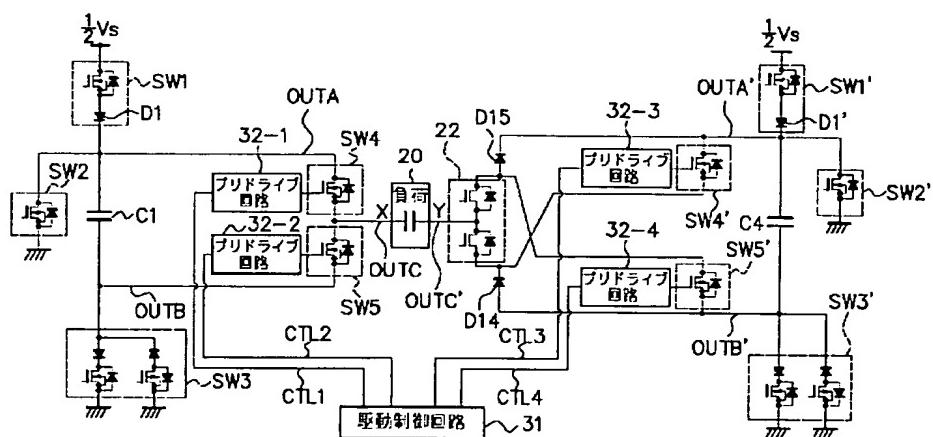
【図4】

## プリドライブ回路の構成例



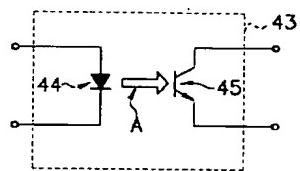
【図1】

第1の実施形態



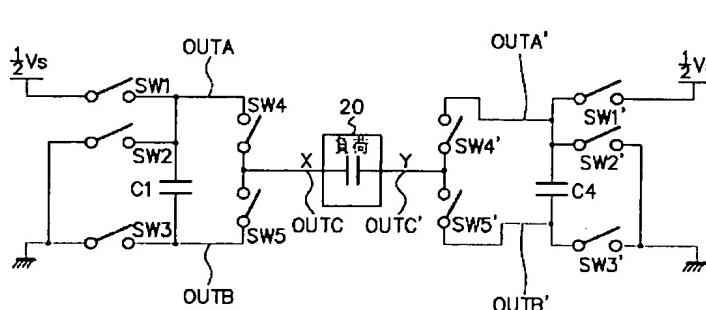
【図5】

光伝達回路の構成例



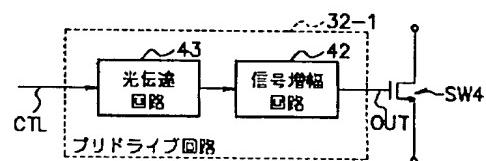
【図2】

第1の実施形態による動作を説明するための概念図



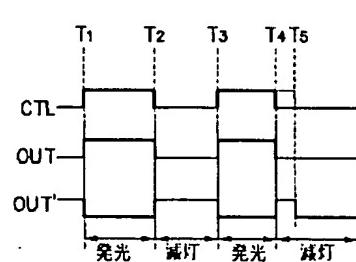
【図6】

プリドライブ回路の動作例を説明するための図



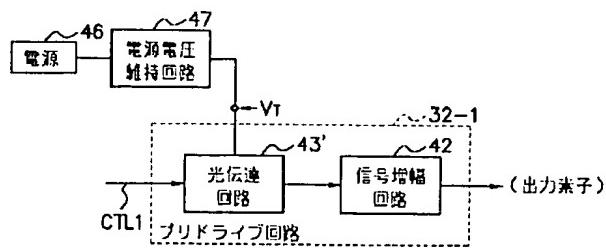
【図7】

プリドライブ回路の動作を示すタイムチャート



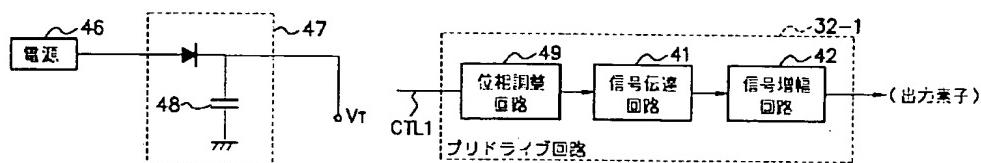
【図8】

プリドライブ回路の他の構成例



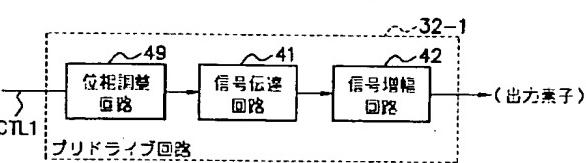
【図9】

電源電圧維持回路の構成例



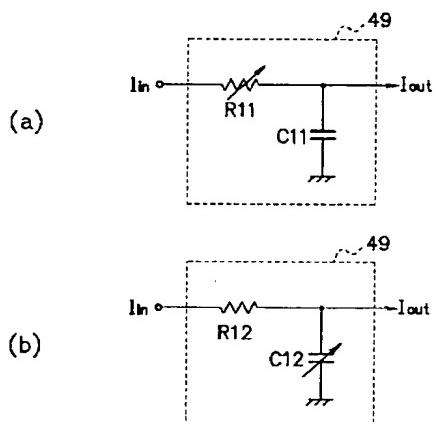
【図10】

プリドライブ回路の他の構成例



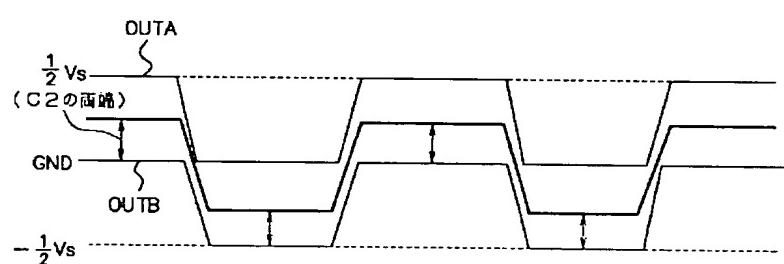
【図11】

位相調整回路の構成例

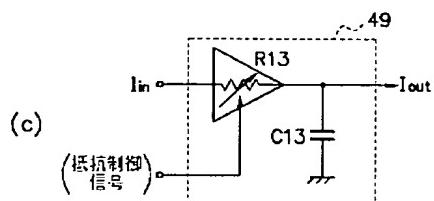


【図16】

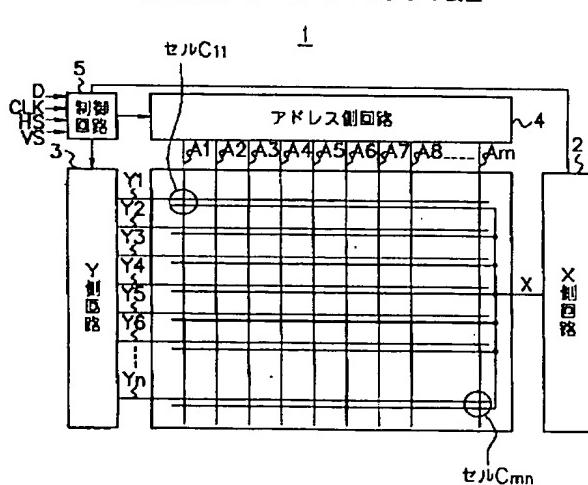
第3の実施形態の動作を説明するための電圧波形図



【図17】

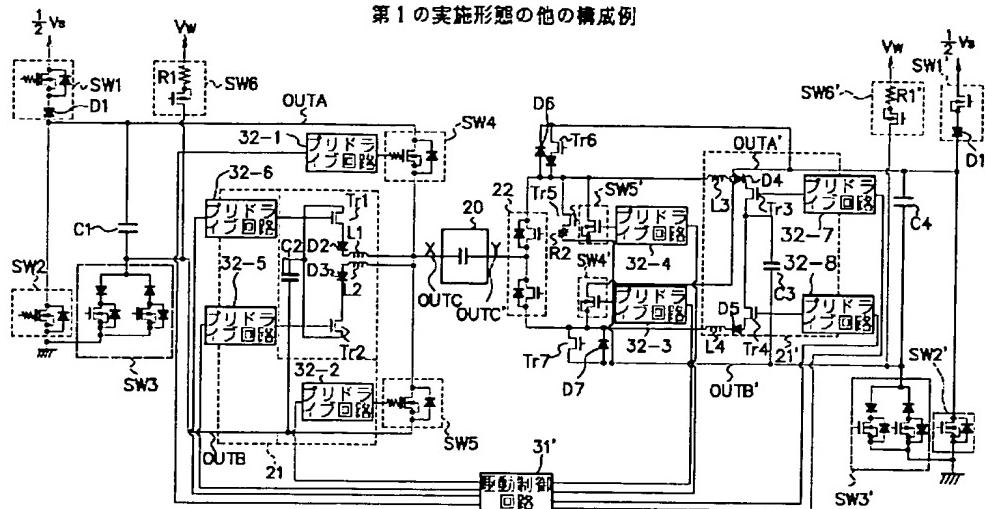


交流駆動型 plasmaディスプレイ装置



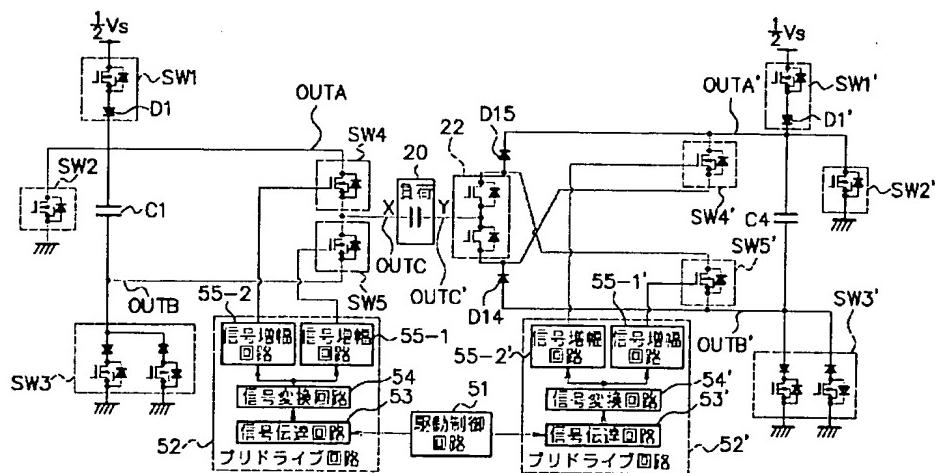
【図12】

第1の実施形態の他の構成例



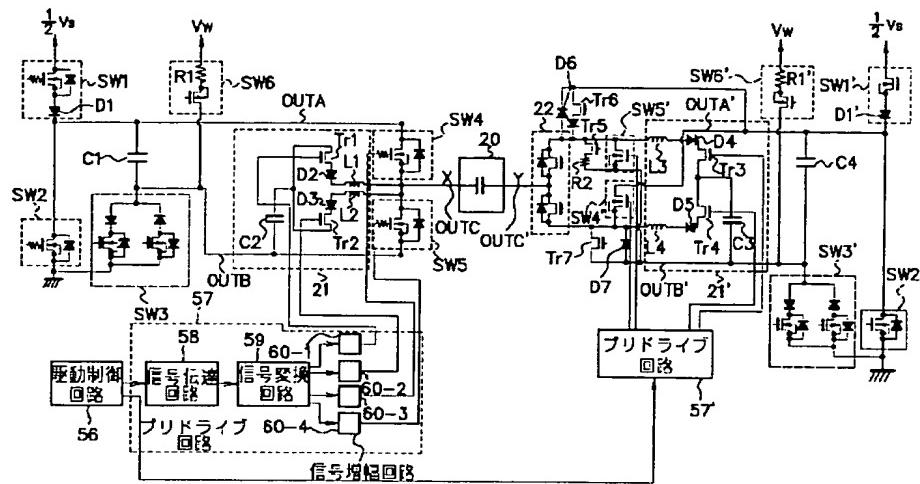
【図13】

第2の実施形態



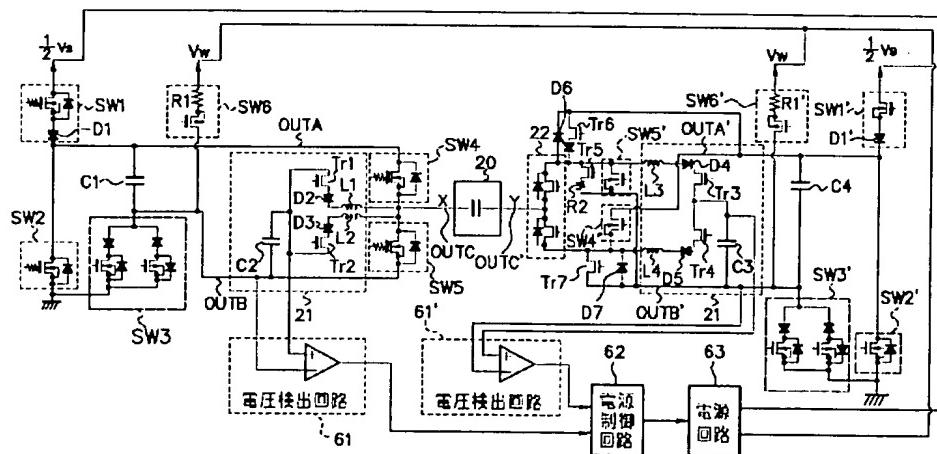
【図14】

第2の実施形態の他の構成例

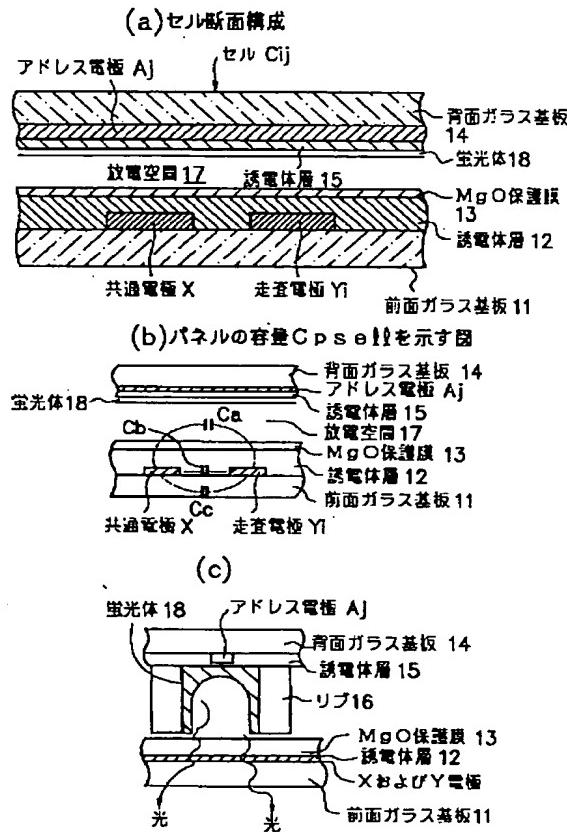


【図15】

第3の実施形態

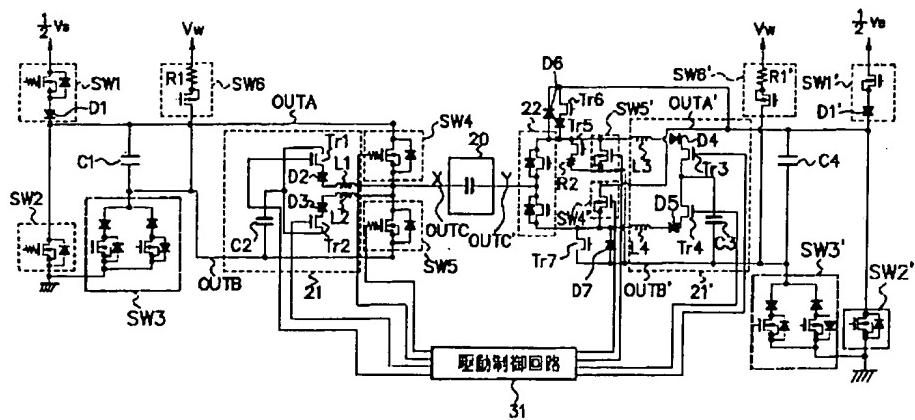


【図18】



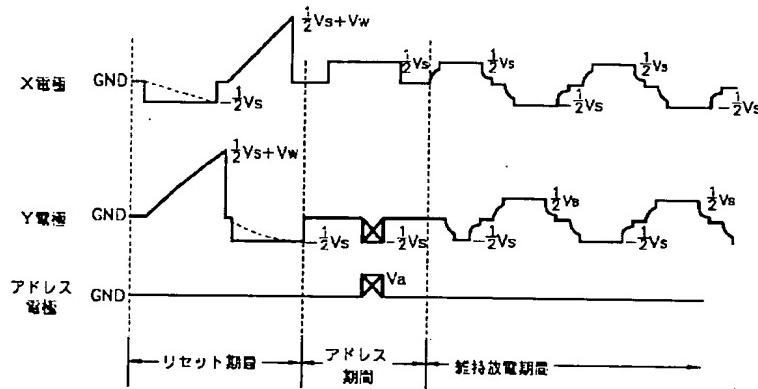
【図19】

交流駆動型PDPの駆動装置の回路構成例



【図20】

駆動波形のタイムチャートの例



---

フロントページの続き

(72)発明者 富尾 重寿  
神奈川県川崎市高津区坂戸3丁目2番1号  
富士通日立プラズマディスプレイ株式会  
社内

(72)発明者 坂本 哲也  
神奈川県川崎市高津区坂戸3丁目2番1号  
富士通日立プラズマディスプレイ株式会  
社内  
F ターム(参考) 5C080 AA05 BB05 DD09 DD19 DD22  
EE29 HH02 HH04 JJ02 JJ03  
JJ04 JJ06